

基于 HEVC 整数 DST 的 VLSI 设计与实现

杜高明,郭晨阳,张多利,宋宇鲲

(合肥工业大学 微电子设计研究所,安徽 合肥 230009)

摘 要: 为了提高帧内编码性能,HEVC(High Efficiency Video Coding)首次应用整数离散正弦变换(The discrete cosine transform, DST)模式. 针对现有 DST 算法运用到硬件设计中存在的设计电路面积较大、运算速度较慢的问题,结合 DST 矩阵系数运算数值的特点,提出了一种新的 DST 算法. 并以此算法为核心,设计出了对应的专用有符号乘法器,通过采用单端口输入输出和组合累加器的方法,提高了电路的运算速度以及降低了电路的工作面积. 在 SMIC 0.18 μm 工艺下综合得到该电路最快工作频率为 250 MHz,电路面积为 358 940 μm^2 . 从仿真结果来看,该设计的 2D-DST 电路有效,并能够获得较为精简的电路.

关键词: 离散正弦变换;专用有符号数乘法器;运算速度;电路面积

中图分类号: TN919.81

文献标识码: A

文章编号: 1000-7180(2016)03-0020-05

VLSI Design of 2D DST Architecture for HEVC

DU Gao-ming, GUO Chen-yang, ZHANG Duo-li, SONG Yu-kun

(Institute of VLSI Design, Hefei University of Technology, Hefei 230009, China)

Abstract: To improve the Intra coding performance, HEVC(High Efficiency Video Coding) is applied to Integer discrete sine transform for the first time. To solve the problem of that the DST algorithm applied to hardware design that can increase circuit area and reduce operational speed, a new DST algorithm is proposed based on the characteristics of the DST matrix coefficients. And the special signal multiplier is designed by the new algorithm. To increase operational speed and to reduce circuit area, the circuit adopts the single-port input and output and the combination accumulation method. Using SMIC 0.18 μm technology, the proposed architecture is implemented with the maximum work frequency at 250 MHz and 358 940 μm^2 circuit area. From simulation result, this design is working and can get a streamline circuit.

Key words: DST; special signal multiplier; arithmetic speed; circuit area

1 引言

为了提高帧内编码性能,H.265/HEVC 在帧内 4×4 亮度模式中首次采用了 4×4 整数 DST 模式. 实验结果表明,在编码复杂度基本保持不变的情况下,使用 4×4 整数 DST 模式能使帧内编码性能提高 0.8% 左右^[1-2].

然而,目前由于 H.265/HEVC 的 4×4 整数 DST 的 VLSI 设计算法较少,若以 DST 的原理为基础设计电路,则存在硬件资源消耗太大的问题. 文献[3]提出了一种基于 DST 的蝶形变换的思想来设计

电路. 但是该方法受电路面积以及运算速度的限制. 且按照这种思想设计的电路在综合面积和工作频率的性能较差.

针对上述问题,本文在研究 HEVC 的 DST 算法后,通过观察矩阵的运算等式,发现了每一列的系数只与 29,74,55 进行相乘. 根据这种特性,本文设计出一种专用有符号乘法器,且以这种专用乘法器为核心,设计出一种基于 HEVC 的 4×4 整数 2D-DST 硬件电路.

本文的主要创新点如下:(1)提出了一种新的适用于硬件的 DST 运算算法,能够在提高运算速度的

基础上最大程度的减少电路面积;(2)设计出一种专用于 HEVC 的 4×4 整数 DST 的乘法器,并以此为核心设计出基于 HEVC 的 2D-DST 硬件电路.为了减少运行时间和电路面积,本文设计在输入输出上采用单端口,在算法上将矩阵系数进行分离,并在电路结构中设计一种专用有符号乘法器来代替通用乘法器.从而达到减少 DST 电路面积和运行时间的目的.

2 HEVC 中 DST 算法介绍

由 H.265/HEVC 中 4×4 整数 DST 采用的是 DST-VII,其公式为^[4]

$$Y(k, l) = C(k)C(l) \sum_{m=1}^4 \sum_{n=1}^4 x(m, n) \sin\left[\frac{(2k-1)m\pi}{9}\right] \sin\left[\frac{(2l-1)n\pi}{9}\right]$$

$$k, l = 1, 2, 3, 4 \quad (1)$$

将其写成矩阵形式,利用正弦函数的周期性,可得

$$\mathbf{B} = \frac{2}{3} \cdot \begin{bmatrix} \sin \frac{\pi}{9} & \sin \frac{2\pi}{9} & \sin \frac{3\pi}{9} & \sin \frac{4\pi}{9} \\ \sin \frac{3\pi}{9} & \sin \frac{3\pi}{9} & 0 & -\sin \frac{3\pi}{9} \\ \sin \frac{4\pi}{9} & -\sin \frac{\pi}{9} & -\sin \frac{3\pi}{9} & \sin \frac{2\pi}{9} \\ \sin \frac{2\pi}{9} & -\sin \frac{4\pi}{9} & \sin \frac{3\pi}{9} & -\sin \frac{\pi}{9} \end{bmatrix} \quad (2)$$

对其进行整数化可得矩阵:

$$\mathbf{H} = \begin{bmatrix} 29 & 55 & 74 & 84 \\ 74 & 74 & 0 & -74 \\ 84 & -29 & -74 & 55 \\ 55 & -84 & 74 & -29 \end{bmatrix} \quad (3)$$

在 H.265/HEVC 中 4×4 整数变换 DST 公式为

$$\mathbf{Y} = \mathbf{H}\mathbf{X}\mathbf{H}^T \quad (4)$$

通过观察 DST 的矩阵系数,可以分析出 DST 的矩阵系数并不与 DCT(discrete cosine transform)矩阵系数相似,具有系数绝对值对称的特殊性,所以适用于 DCT 中的蝶形变换在此无法适用.而若使用 HEVC 中的 DST 蝶形变换,则相比于未优化的电路,在一定的程度上可以对电路面积以及功耗进行优化,但是仍需要消耗较大的硬件资源.

以 4×4 整数 DST 变换为例,由矩阵 $\mathbf{H}$ 可以得出,使用未优化的算法,则需要运用 16 个乘法器和 12 个加法器,才能得到一组 4×4 DST 变换结果.这样不仅占用大量的运算时间也将会消耗大量的资源.而若对 DST

使用文献[3]提出的蝶形运算,则可根据图 1 进行设计.首先可由蝶形变换得出中间值,再对中间值进行乘法运算,最后得出一维变换结果.蝶形变换的算法相比于未优化算法的优点在于减少了硬件消耗(只需要 5 个乘法器和 11 个加法器),但其缺点是:若要得到四个中间值就必须等待四个输入,电路才能开始运行,且运行速度相对较慢,不利于效率最大化.

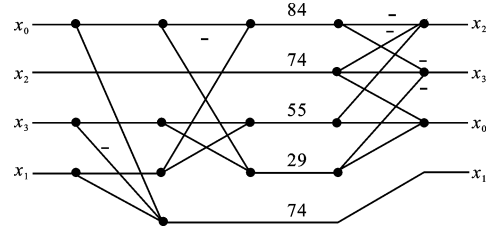


图1 1D-DST 蝶形变换

针对于上述两种方法的优缺点,本设计的算法在保证运算速度的同时,最大限度地减小了电路面积.具体设计思路如下:首先将 4 点一维 DST 展开得到输入输出数据关系.观察等式(5)~(8)可以发现每一列中只包括 29、74、55 的系数(其中 84 可以分解成 $29+55$).

所以本文算法的思想是先将一个输入数据通过专用有符号乘法器分别与 29、55、74 进行运算,运算结束后的结果存入累加缓存器中,然后再对接下来的三个残差数据进行相同操作,经过 4 个 clk 后,接着再将其在组合累加器中进行相加,最后得到输出结果.以第一行数据为例,首先 x_{00} 进入移位运算器中,分别和 29、55、74 进行相乘(在本设计中是用移位和加法运算来代替乘法运算), x_{01} 、 x_{02} 、 x_{03} 分别进行相同的操作,得出结果后对其进行累加,最后即可得到一维变换结果.

本设计相对于蝶形变换的优点是:减少电路面积、硬件消耗和功耗.缺点是:蝶形变化在第 9 个周期输出结果,在第 12 个周期完成运算,而本设计则在第 33 个周期输出结果,在第 48 个周期完成运算.

$$y_{00} = 29x_{00} + 55x_{01} + 74x_{02} + 84x_{03} \quad (5)$$

$$y_{01} = 74x_{00} - 74x_{01} + 0x_{02} - 74x_{03} \quad (6)$$

$$y_{02} = 84x_{00} - 29x_{01} - 74x_{02} + 55x_{03} \quad (7)$$

$$y_{03} = 55x_{00} - 84x_{01} + 74x_{02} - 29x_{03} \quad (8)$$

3 面向 HEVC 的 2D-DST 电路架构

目前为止,2D-DCT 变换的硬件结构可以分为以下几类:基于脉动式阵列结构、基于乘法器和加法器结

构、基于CORDIC 运算结构^[5]. 由于2D-DST与2D-DCT的算法具有一定的相似性,所以本文提出的设计的电路结构如图2所示,电路主要包括两个一维变换模块和两个转置缓存器. 整个电路首先对 4×4 矩阵的每一行进行一维行变换,得到的结果再对其进行转置输出,然后再进行一维列变换. 最后得到二维DST的输出矩阵. 其中一维行变换以单数据输入和输出,采用了专用有符号乘法器以及重组累加器模块等,电路减小了硬件消耗、电路面积以及功耗;转置缓存器采用乒乓存储形式,使得电路可以流水运行.

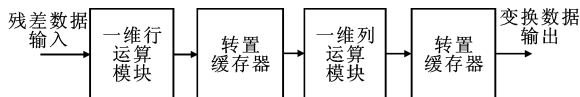


图2 2D-DST 电路结构

3.1 1D-DST 运算模块的硬件结构设计

根据上述叙述展开设计,将乘数进行分解,如式

(9)~(11),通过等式即可设计出专用有符号乘法器. 在 Verilog 中采用补码的形式进行运算.

$$\begin{aligned} \text{data_29} &= \text{data_in} \ll 4 + \text{data_in} \ll 3 + \\ &\quad \text{data_in} \ll 2 + \text{data_in} \end{aligned} \quad (9)$$

$$\begin{aligned} \text{data_55} &= \text{data_in} \ll 5 + \text{data_in} \ll 4 + \\ &\quad \text{data_in} \ll 2 + \text{data_in} \ll 1 + \\ &\quad \text{data_in} \end{aligned} \quad (10)$$

$$\begin{aligned} \text{data_74} &= \text{data_in} \ll 6 + \text{data_in} \ll 3 + \\ &\quad \text{data_in} \ll 2 + \text{data_in} \ll 1 + \\ &\quad \text{data_in} \end{aligned} \quad (11)$$

图3所示为一维DST运算电路的具体结构. 整个电路分为三个模块:(1)专用乘法器模块;(2)移位寄存器模块;(3)重组累加器模块.

$\text{data_in}[8:0]$ 为一个9位残差数据,最高位为符号位,输入范围为 $-255 \sim 255$,在第一个clk时,

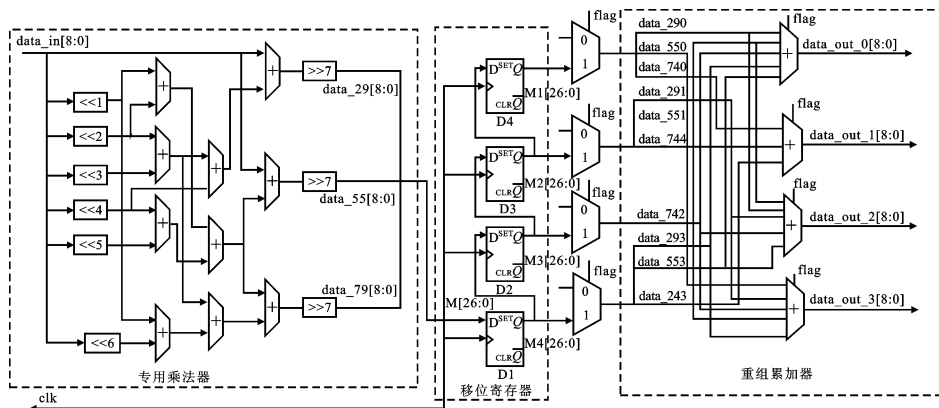


图3 一维DST运算电路结构

残差数据进入专用有符号乘法器模块,并于29、55、74系数分别进行移位相加,相加的结果除以128,即右移7位,进行归一化操作.

输出的结果按照 $[\text{data_79} : \text{data_55} : \text{data_29}]$ 的顺序,进入移位寄存器中. 具体时序如图4所示,在第一个clk时,将27位数据结果存入到D1触发器. 第二个clk时,将D1触发器的数据存入到D2触发器中,于此同时D1触发器又读进新的数据,依次类推,在第五个clk时,flag置1,ena置1. 此时将D1, D2, D3, D4触发器的数据同时输入到重组累加器模块,在重组累加器模块中,通过排列组合将输入的数据进行累加,最终输出四个中间值,并将四个中间值存入到缓存转置模块中.

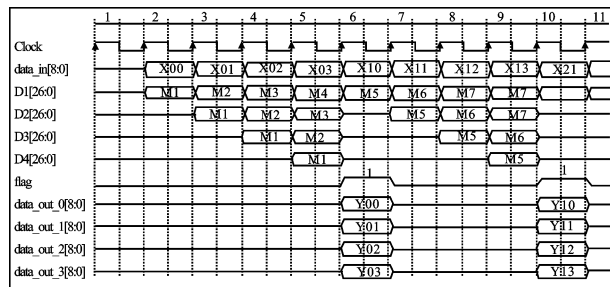


图4 一维DST运算电路时序图

为了实现流水操作,转置缓存器采用乒乓存储. 转置缓存器如图5所示,整个转置缓存器分为三部分:(1)输入数据选择模块;(2)缓存寄存器组模块;(3)输出数据选择模块.

本设计采用的是单端口输入,图 6 为 1D-DST 转置缓存器时序图。具体工作原理:电路首先通过一维 DST 运算电路,当在第 5 个 clk 时,一维 DST 转置缓存器即将前面一个模块的四个输出存入至 R_1 中。依次类推,当第 17 个 clk,电路将 R_1 中的数据按列输出,并将接下来传入进来的数据 Z_0 、 Z_1 、 Z_2 、 Z_3 存入 R_2 中。本设计的转置缓存器运用乒乓存储,在控制位宽的同时,最大限度地提升了运行速度,实现了电路的流水运行。

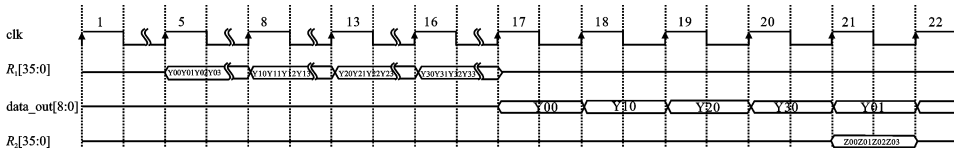


图 6 1D-DST 转置缓存器时序图

4 实验结果与分析

为了验证本文设计方法的有效性,本文采用 Verilog HDL 语言对算法进行 RTL 级电路描述。且在 SMIC 0.18 μm 烫工艺库下,对电路进行综合。实验一:将本文设计算法与当前应用较多的文献[3]中的蝶形变换算法,以及未优化的算法的性能进行对比。实验二:以本文设计的专用乘法器为核心,设计出基于 HEVC 的 2D-DST 硬件电路,并与文献[3]中的以蝶形变换算法为核心而设计的基于 HEVC 的 2D-DST 硬件电路进行性能比较。从而全面地分析,本文设计在电路面积、硬件消耗、功率消耗以及工作频率方面的性能。

4.1 1D-DST 电路性能分析

(1)实验配置:未优化的设计是以矩阵相乘的原理为基础的 1D-DST 运算电路;文献[3]的设计是以蝶形变换为基础设计的 1D-DST 运算电路;本文设计是以本文所提出的算法为基础设计的 1D-DST 运算电路。三种电路均采用 SMIC 0.18 μm 烫工艺库,并在 125 MHz 的频率下,对电路进行综合。

(2)实验结果:表 1 所示为本文的 1D-DST 电路与文献[3]中的电路以及未优化的 1D-DST 电路的比较结果。从结果可得出,与未优化的设计电路相比,本设计电路节省了 213.04% 的硬件资源,329.48% 的综合面积以及 114.14% 功率消耗。与文献[3]相比,本设计电路减少了 16.66% 的硬件资源、20.48% 的综合面积以及 60.22% 的功率消耗。结果表明:本文设计的算法相比于其他两种算法,更适应于硬件设计,在电路的硬件消耗、综合面积以及

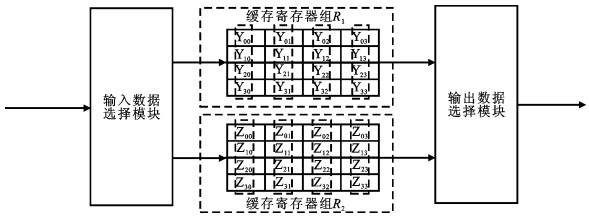


图 5 1D-DST 转置缓存器

功耗上性能更高。

表 1 1D-DST 运算电路性能比较

	未优化	文献[3]	本文设计
综合门数/kgate	7.3	2.7	2.4
综合面积/ μm^2	337 492	94 677	78 580
乘法器	15	5	0
功耗/mW	13.143 2	9.834	6.137

4.2 2D-DST 电路性能比较

(1)实验配置:文献[3]提出了一种以蝶形变换为基础设计的基于 HEVC 的 2D-DST 硬件电路。本文则以自行设计的专用乘法器为核心,设计出基于 HEVC 的 2D-DST 硬件电路。两种电路的总体结构都是如图 1 所示的 2D-DST 硬件电路。主要包括两个一维运算模块和两个缓存器。两种电路都采用 SMIC 0.18 μm 工艺库,并在不同频率下对电路进行综合。

(2)实验结果:表 2 是 2D-DST 电路结构性能比较,分别在 125 MHz 的频率下对 HM-13.01 电路和在 250 MHz 的频率下对本文设计电路进行综合。如表 2 所示,本设计相比于文献[3]中的硬件电路在在功耗上节省了 50%,在硬件消耗上减少了 15.9%,在综合面积上减少了 25.07%。图 6 为两种电路分别在 100 MHz、125 MHz、150 MHz 的情况下进行综合面积比较图。由图 7 可得:在相等的频率下,本文设计的电路面积要比文献[3]中的电路面积性能更好。且由实验结果可得,本设计达到了预期要求,实现了较为精简的电路结构。

表 2 2D-DST 电路结构性能比较

	文献[3]	本文设计
综合门数/kgate	10.2	8.8
综合面积/ μm^2	448 943	358 940
最高频率/MHz	150	250
功耗/mW	24.617 1	16.403 7

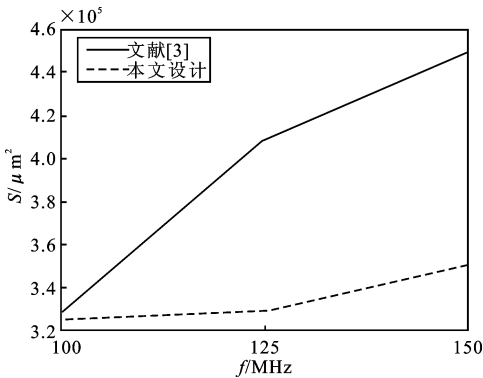


图7 综合面积比较图

5 结束语

本文通过分析 HEVC 中的 4×4 整数 DST 算法,从而改进出一种适应于硬件的 DST 算法.以此为基础,一种基于 HEVC 的 4×4 整数 DST 的硬件电路.本设计通过仿真以及综合,证明该设计是有效可靠的,且能够获得较为精简的电路.

参考文献:

[1] Joshi R, Chen P, Marta. CE7: Mode-dependent intra residual coding, ITU-T/ISO/IEC JCT-VC document

JCTVC-E098[S]. Geneva, Switzerland, 2011.

[2] Saxena A, Fernandes F C. CE7: Mode-dependent DCT/DST without 4×4 full matrix multiplication for intra prediction, ITU-T/ISO/IRCJCT-VC document JCTVC-E125 [S]. Geneva, Switzerland, 2011.

[3] Saxena A, Fernandes F C A, Reznik Y A. Fast transforms for Intra-prediction-based image and video coding [C] // Data Compression Conf. USA, Snowbird, Utah, 2013: 13-22.

[4] Rao K R, Kim D N, Wang J J. Fast fourier transform: algorithms and applications [M]. Berlin, Springer Verlag, 2010.

[5] Sung T, Shieh Y, Yu C, et al. High-efficiency and low-Power architectures for 2-D DCT and IDCT based on CORDIC rotation[C] // Proc. Int. Parallel Distrib. Comput. Appl. Technol. Taiwan, Taipei, 2006: 191-196.

作者简介:

杜高明 男, (1977-), 副研究员, 硕士生导师. 研究方向为多核体系结构、片上网络体系结构、NoC 性能分析、视频编解码技术应用.

郭晨阳(通讯作者) 男, (1990-), 硕士研究生. 研究方向为视频编解码技术、NoC 性能分析.

E-mail: ares@mail.hfut.edu.cn.

张多利 男, (1976-), 研究员, 硕士生导师. 研究方向为多核处理器体系结构与设计方法、多媒体专用集成电路设计实现等.

宋宇鲲 男, (1975-), 副研究员, 硕士生导师. 研究方向为面向数据高密和计算密集应用的 SoC/MPSoC 体系结构与实现.

(上接第 19 页)

参考文献:

[1] Moon P A K. Signal strength detector; US Patent 4620114 [P]. 1986-10-28.

[2] 陶永刚, 许永生, 石春琦, 等. 一种 ASK 接收器中的中频对数放大器 IC 设计 [J]. 电子器件, 2006, 29 (1): 44-47.

[3] Allen P E, Holberg D R. CMOS analog circuit design [M]. 北京: 电子工业出版社, 2002.

[4] 郑轩. 基于 $0.18 \mu\text{m}$ 工艺的 UHF RFID 应答器电源与时钟电路的研究与设计 [D]. 天津: 天津大学, 2008.

[5] 李阳, 许育森, 陈群超. 一种高动态范围, 低功耗

UHF RFID 标签解调器的设计 [J]. 中国集成电路, 2012, 20(9): 59-64.

[6] 吴舒伟. 高带宽数码内容保护技术研究及在数字视频接口中的实现 [D]. 北京: 清华大学, 2005.

作者简介:

康钦森 男, (1987-), 硕士研究生. 研究方向为模拟与射频集成电路设计.

乌力吉(通讯作者) 男, (1965-), 博士, 博士生导师. 研究方向为信息安全与汽车电子.

E-mail: lijiju@mail.tsinghua.edu.cn.